

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-315971

(43)Date of publication of application : 23.12.1988

(51)Int.Cl.

G01R 31/28

H01L 21/66

(21)Application number : 62-152898

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 19.06.1987

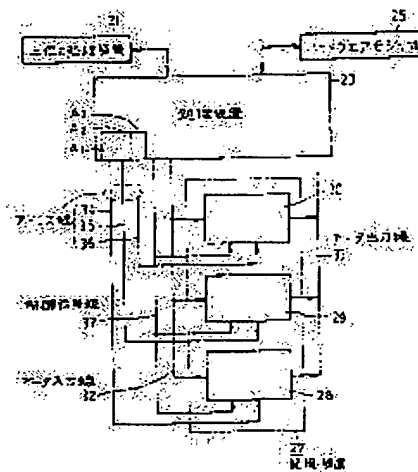
(72)Inventor : UEDA MOTOO
HASEGAWA SHINPEI
SHIMIZU TOSHIYUKI

(54) IC TESTING SYSTEM

(57)Abstract:

PURPOSE: To quickly execute an information exchange between a processor and a storage device, and to improve a test speed by storing the information of each separate function in each separate storage device, and controlling independently each other each storage device thereof by each independent address information line.

CONSTITUTION: In a storage device 28, a control program for decoding a program given from a host processor 21 and executing it is stored. Also, in a storage device 29, a sequence program for controlling actually a hardware module 25 is stored, and a storage device 30 stores a measured data. To these respective storage devices 28, 29 and 30, a common data input line 32 and a common data output line 33 are connected. Moreover, to phase respective storage devices 28, 29 and 30, each separate address line 34, 35 and 36 is connected from a processor 23, and independent address information can be placed on these address lines 34, 35 and 36 by the processor 23.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-315971

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月23日

G 01 R 31/28
H 01 L 21/66

A-6912-2G
S-6851-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 ICテストシステム

⑮ 特 願 昭62-152898

⑯ 出 願 昭62(1987)6月19日

⑰ 発 明 者 植 田 基 夫 東京都練馬区旭町1丁目32番1号 株式会社アドバンテ
スト内

⑱ 発 明 者 長 谷 川 真 平 東京都練馬区旭町1丁目32番1号 株式会社アドバンテ
スト内

㉑ 発 明 者 清 水 敏 行 東京都練馬区旭町1丁目32番1号 株式会社アドバンテ
スト内

㉒ 出 願 人 株式会社 アドバンテ 東京都練馬区旭町1丁目32番1号
スト

㉓ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

ICテストシステム

2. 特許請求の範囲

(1) プログラムが記憶される記憶装置と、

ハードウェアモジュールを制御するためのデー
タを記憶する記憶装置と、

測定結果を格納する記憶装置と、

これら複数の記憶装置に対し共通に設けられた
データ入力線と、

これら複数の記憶装置に対し共通に設けられた
データ出力線と、

これら記憶装置をアクセスする1個の処理装置
と、

その処理装置からそれぞれ記憶装置ごとに設け
られたアドレス線と

を備えたICテストシステム。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチ

ャを有するICテストシステムに関する。

「従来の技術」

第4図は従来のICテストシステムの構成例を
示す図である。ICテストシステムでは、被試験
素子を試験するテストシーケンスが記述されたプ
ログラムが記憶装置10に格納されており、中央
処理装置11が記憶装置10からそのテストプロ
グラムを読出して順次実行するように構成され、
例えば半導体メモリ素子を試験するためのテスト
動作の全てを中央処理装置11が制御するようにな
っている。

中央処理装置11には制御線12を通してハー
ドウェアモジュール13A、13B、13C~13N
が接続されており、中央処理装置11がテストプ
ログラムを解釈して実行するに伴って出力する制
御信号はこれらハードウェアモジュール13A、
13B、13C~13Nに供給される。

その制御信号は、例えば、被試験素子の所定の
入力端子に対して5.25Vの直流信号を供給する
ための制御信号であり、この制御信号が供給され

ると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は、例えば被試験素子の出力端子の信号を測定することを指令する制御信号であり、直流電圧を測定するためのハードウェアモジュール13Bは、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A、13B、13C～13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子が必要としても、論理回路の多くの部分をマイクロプロセッサ14を用いることにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14は単なる論理素子の代替えであり、予め決められた簡単なシーケンス制御をするだけであって、特別の判断機能を必要とするような使い方は一般にされていない。

この発明では、テスト手順が記述されたテストプログラムを行単位で実行することを上位の処理装置が制御し、そのプログラム行に記述されている制御内容の実際の解釈及び実行は、上位の処理装置に制御される下位の処理装置に委ねられる。その下位の処理装置はプログラム行の記述に応じてハードウェアモジュールへアクセスし、或いはテストステータスの更新などを行う。

更にこの発明によれば、記憶装置が機能別に区分けして構成される。即ち、記憶装置はテストプログラムを格納する記憶装置と、ハードウェアモジュールを制御するための制御プログラムを格納する記憶装置と、ハードウェアモジュールによる測定結果を格納する記憶装置とで構成され、各処理装置はこれらの各記憶装置に対して共通のデータ入力線と、共通のデータ出力線と、各別のアドレス線とによりアクセスするように構成される。「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位による実行することを制

「発明が解決しようとする問題点」

中央処理装置はテストプログラムを解釈し実行する。つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの特にDCテスト、例えば、被試験素子の端子からみた直流特性についての試験を進める動作に必要とされるあらゆる演算制御を行う必要がある。従って、中央処理装置が行う演算処理の時間が長くなり、テストシステムの試験速度を容易には上げることができない。

また、中央処理装置はシステムの制御を行う上で、記憶装置との間で多くの情報のやりとりをするが、アドレス線に乗せるアドレス情報を逐次変更しながら記憶装置にアクセスしなければならないが、被試験素子に対して高速にテストを進めることが要求されている場合には、この読み書きによる遅れ時間が無視できないほどになっている。

「問題点を解決するための手段」

御し、プログラム行の実際の解釈及び実行は下位に接続された専用の複数の処理装置によって分散して行われる。

更に、この発明によれば、機能別にされた情報が各別の記憶装置に記憶され、その各記憶装置は独立のアドレス情報線により互いに独立に制御される。従って、アドレス情報の先回り制御が可能であり、或いはまたアドレス情報の退避及び復帰に要する時間が大幅に節約される。また、処理装置と各記憶装置間、及び各記憶装置相互間での、情報の速やかな交換が可能である。

「実施例」

第1図はこの発明のICテストシステムの構成例を示すブロック図である。この例では、ICテストシステムは複数の処理装置が用いられ階層構造をもって構成され、特に半導体のDCテスト、例えば、入力流出電流、リーク電流、耐圧、消費電流、出力短絡電流試験などを行うに適するように構成されている。即ち、記憶装置20に格納されているテストプログラムの実行するを制御する

上位の処理装置21と、この上位の処理装置21に制御バス22を通して接続され、その制御の下にプログラム行の実際の実行をする複数の下位の処理装置23A、23B、23C～23Nと、これ等下位の処理装置23A、23B、23C～23Nに制御されるハードウェアモジュール25A、25B、25C～25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で順次記述され、上位処理装置21はそのテストプログラムを行単位で記憶装置20から順次読出し、その読出したプログラム行について実行するか否かを制御する。

この上位の処理装置21には複数の下位の処理装置23A、23B、23C～23Nが接続されており、上位処理装置21は被試験素子のテスト状態をみながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に接続された処理装置23A、23B、23C～23Nの何れかに委ねられる。

下位の各処理装置23A、23B、23C～23N

理をする場合より数十倍の処理速度が得られるように構成されている。

また、処理装置23は、上位処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけでなく、プログラム行を解釈し、その解釈結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う制御をするようにプログラムされている。

また、各処理装置23A、23B、23C～23Nはハードウェアモジュール25A、25B、25C～25Nを介して測定信号を取り込むが、必要に応じて測定された信号の例えば直線補正とか、対数曲線補正なども行うことができ、また得られた測定データは基準値或いは閾値などと比較し、そ

は被試験素子に対するテスト信号を制御するに適した専用の処理装置であり、それぞれに接続されているハードウェアモジュール25A、25B、25C～25Nを制御するに適した言語をプログラム言語としている。処理装置23は上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解釈し、プログラム行の実行に入る。つまり、処理装置23は被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、記憶装置20に保持しており、与えられたプログラム行の解釈結果によりその制御プログラムを読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

この下位の処理装置23A、23B、23C～23Nはそれぞれに接続されているハードウェアモジュール25A、25B、25C～25Nのいずれかにアクセスしたりテスト状態(端子の接続や測定器の状態)等を変更したりするのに便利な命令語体系をもち、且つマクロ命令化されている。上位の処理装置21が自分の命令語体系で同じ処

の良否の判定を行うと共にそれらのデータロギングをする。

ハードウェアモジュール25A、25B、25C～25Nには、下位の処理装置23A、23B、23C～23Nの制御プログラム行の実行に伴って制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号を供給したり或いは被試験素子の指定された出力端子の出力信号を測定することができる。

このハードウェアモジュール25A、25B、25C～25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えたもので決められたシーケンス処理を高速に行う。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、処理装置23からの命令により被試験素子に対する信号の入出力を制御する。

またこの発明によれば、下位の各処理装置23A、23B、23C～23Nに接続される記憶装置27A、

27B, 27C~27Nは、それぞれ複数の記憶装置28A, 28B, 28C~28Nと、29A, 29B, 29C~29Nと……30A, 30B, 30C~30Nとからなり、これら各記憶装置はアドレス空間が分離して構成される。即ち、各記憶装置28A, 28B, 28C~28Nと、29A, 29B, 29C~29Nと……30A, 30B, 30C~30Nとにはそれぞれ各別にされたアドレス線31A, 31B~31Cが各処理装置23A, 23B, 23C~23Nから接続される。

第2図はこの発明の要部の構成例を示す図である。この例では、記憶装置27は3つの記憶装置28, 29, 30で構成され、これら記憶装置28, 29, 30が1台の処理装置23にそれぞれアドレス制御回路A1, A2, A3を介して接続される。

この例では、記憶装置28には、上位の処理装置21から与えられたプログラム行を解釈し、その解釈した内容に就いて実行するための実際の実行順序の組み立てをする制御プログラムが格納さ

れている。

記憶装置29には、ハードウェアモジュール25A, 25B, 25C~25Nを実際に制御するためのシーケンスプログラムが格納されている。そのプログラムは例えば、ハードウェアモジュール25Aを制御して試験信号を出力するまでのシーケンスを記述した命令群から成る命令ブロックであり、例えばハードウェアモジュール25Bの測定器を制御して被試験素子の出力信号を測定し、測定データを取込むまでのシーケンスを記述した命令ブロックなどである。即ち、ハードウェアモジュール25A, 25B, 25C~25Nを動かすためのシーケンスを順次記述した最小の単位の命令群がそれぞれブロックにして格納してある。

記憶装置28内の制御プログラムは、これら命令ブロック群の中から、プログラム行の解釈により必要となった複数の命令ブロック群を選択し、そのブロック命令群の実行の順序を決定し、実行に移る。

記憶装置30はこの例ではハードウェアモジュ

ール25A, 25B, 25C~25Nにより測定したデータを格納しておく記憶装置である。

これらの各記憶装置28, 29, 30に対し、共通のデータ入力線32が接続され、このデータ入力線32を通じて各記憶装置28, 29, 30に処理装置23からデータが供給される。また、これら各記憶装置28, 29, 30に対して共通のデータ出力線33が接続され、このデータ出力線33を通して各記憶装置28, 29, 30から処理装置23にデータが出力される。

この発明では、これ等各記憶装置28, 29, 30へ処理装置23から各別のアドレス線34, 35, 36が接続され、これらアドレス線34, 35, 36は処理装置23により独立のアドレス情報を乗せることが可能にされている。

このように構成することにより、例えば、処理装置23がアドレス線34及び制御信号線37を用いて記憶装置28内の制御プログラムを実行している際に、その実行により選択した記憶装置29内の命令ブロックに実行を移す場合に、アドレス

線34とは独立にアドレス線35を制御して記憶装置29の命令ブロックを順次読込んでその実行に移ることができる。また、この発明の構成なら、その命令ブロックの実行のための情報の読み込みが終了する前に、記憶装置28から次の制御プログラムの情報を読み込むために、アドレス制御回路A1を例えば歩進させるなどして読み込みアドレス情報を予めアドレス線34に乗せておくことができる。つまり、記憶装置28内の制御プログラムに復帰する場合にも、アドレス線34に乗せるアドレス情報の退避や復帰或いは再設定などをする時間が増えることがない。

また、記憶装置30はハードウェアモジュール25A, 25B, 25C~25Nを使って測定したデータを、例えば順々に格納していくための記憶装置である。アドレス線34及び35のアドレス情報を変えながら制御プログラムや命令ブロックを実行している時に、測定データを順々に記憶装置30に格納する場合、アドレス線36に乗せる記憶装置30に対するアドレス情報を他のアド

レス線34及び35とは関係なしに、歩進させておくことができ、従って、多くの測定データを順次格納するのに、アドレス情報の制御に要する時間を大幅に節約することができる。

更にまた、例えば、記憶装置29内の或る命令ブロックにより記憶装置30内に取り込んだ測定データを、その命令ブロックに属する所定データ領域に転送したい場合がある。このような時には、記憶装置30はアドレス線36に転送元アドレスを、アドレス線35に転送先アドレスを同時に乗せて、直接転送命令を実行することにより、記憶装置30内の測定データはデータ出力線33を介して処理装置23に転送され、更にデータ入力線32を介して記憶装置29へ直ちに転送される。

このように、情報を機能毎にまとめ各別の記憶装置28、29、30に記憶させ、その各別の記憶装置28、29、30のアドレス空間を独立に制御することができるようにしたので、そのアドレス線34、35、36の先回り制御が可能になり、各記憶装置へ速やかなアクセスが可能となっ

30に固有のアクセス時間 t の後に記憶装置30へ読出し信号を出力すると(波形E)、記憶装置30から所望番地(A)のデータがデータ出力線33に乗せられ(波形F)、処理装置23を介してデータ入力線32にそのデータが乗せられてくる(波形G)。また記憶装置29に固有のアクセス時間 t の後に記憶装置29へ書き込み信号を与えると(波形H)、データ入力線32上のデータが記憶装置29の所定の位置(B)に格納される。このようにして1つの測定データが記憶装置30から記憶装置29へ処理装置23を介して転送される。

他方、第3図Bは、記憶装置27が機能別に独立にされてなく、唯一つのアドレス線が接続されている従来の場合のタイミング例を示す図である。アドレス線にアドレス情報(A)を乗せて(波形A-①)、制御信号線を介して記憶装置にアドレス設定信号を出力する(波形B-①)。記憶装置に固有のアクセス時間 t の後に読出し信号を出力する(波形C)。データ出力線33に記憶装置の所望の番地(A)からデータが乗せられ(波形D)、処理装

た。特に、処理装置23が処理するに必要とする機能別情報の切り換え時におけるアドレス制御の無駄時間を無くすることができる。

第3図Aはこの発明により構成された記憶装置27内で、1つの測定データの移動をする場合のタイミングの例を示す図である。例えば、処理装置23が記憶装置29内に格納されている命令ブロックを実行して、順次測定した大量の測定データを記憶装置30内に格納する。測定終了後の或る時点で、その測定データの全部或いは一部を、記憶装置29内のその命令ブロックに続くデータ領域に転送する場合がある。或いはまた、それらのデータを処理するために、他の命令ブロックの処理データ領域へ転送したい場合がある。

このようなデータ転送を行う場合、アドレス線36にアドレス情報(A)を乗せて(波形A)、制御信号線37を介して記憶装置30にアドレス設定信号を出力する(波形B)。アドレス線35にアドレス情報(B)を乗せて(波形C)、記憶装置29にアドレス設定信号を出力する(波形D)。記憶装置

置23はこのデータを、一時記憶レジスタに取り込む。続いてアドレス線にアドレス情報(B)を乗せ(波形A-②)、アドレス設定信号を出力する(波形B-②)。データ入力線32にデータを乗せ(波形E)、記憶装置に固有のアクセス時間 t の後に書き込み信号を出力し(波形F)、記憶装置の所定の番地(B)にデータを書込む。

1つのデータの転送の例を取ってみても、この2つのタイミング図から、この発明の示すように機能別に分けて記憶装置を構成し、且つアドレス線を各別にすると、大きな効果が有ることが明らかにされる。多数のデータを転送する場合には、この発明の効果はより大きくなる。また、この波形図では、記憶装置30及び29に対してアドレス情報A及びBを異なるタイミングで供給するように示したが、各別のアドレス線が接続されているので同じタイミングでアドレス情報を出力することもできる。

尚、これまでの説明では、階層構造をとる複数の処理装置による分散処理システムでの場合につ

いて説明してきたが、この発明は一般の処理装置と記憶装置間においても有効である。

「発明の効果」

以上に説明したように、この発明によれば、上位に在る処理装置は専らプログラム行の実行するを制御し、プログラム行の実際の実行は下位の複数の処理装置に分散させて行われる階層構造を構成し、且つ各階層毎に最適な命令語体系を使用したので制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテストを高速に行うことができる。

更に、この発明によれば、機能別にされた記憶装置毎にアドレス線が設けられたので、処理装置が各記憶装置へアクセスする際に、従来に比較して早いアドレス出力が可能であり、或いは同時に異なるアドレスを出力することができる。従って、処理装置と記憶装置との間の情報交換が早くなり、試験速度を向上させるのに頗る効果的である。

4. 図面の簡単な説明

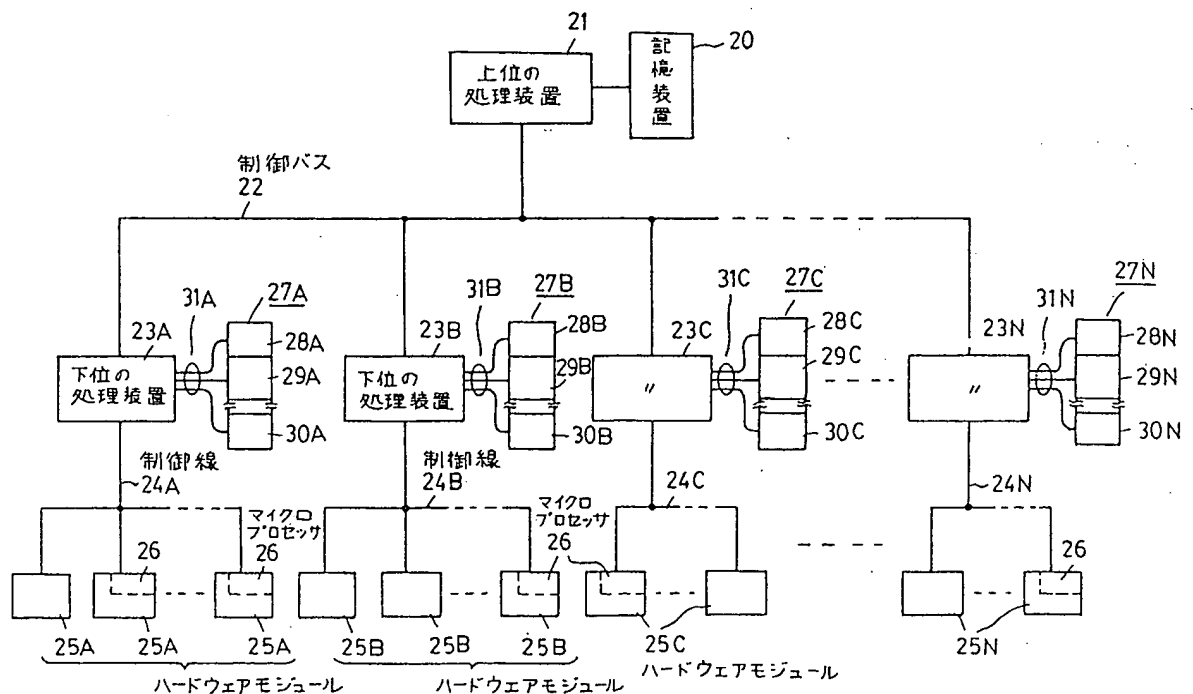
第1図はこの発明の実施例を示す構成図、第2

図はこの発明の要部を示す構成図、第3図Aはこの発明による構成の記憶装置にアクセスする場合のタイミング例を示す図、第3図Bは従来の構成の記憶装置にアクセスする場合のタイミング例を示す図、第4図は従来のICテストシステムの構成例を示す図である。

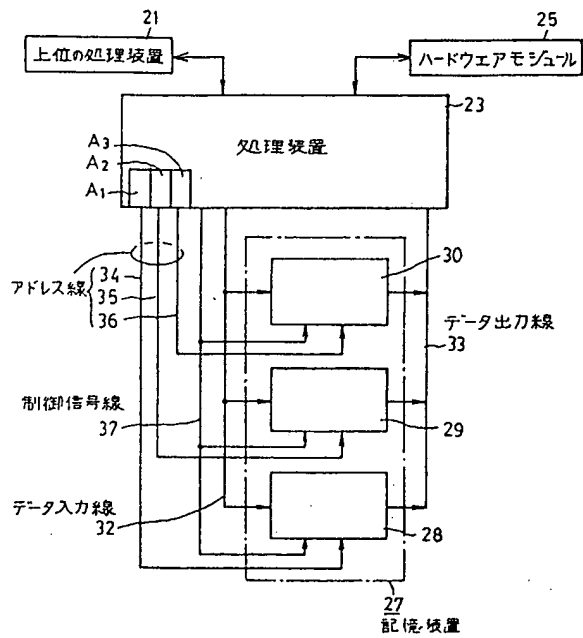
10: 記憶装置、11: 中央処理装置、12: 制御線、13: ハードウェアモジュール、14: マイクロプロセッサ、20: 記憶装置、21: 上位の処理装置、22: 制御バス、23: 下位の処理装置、24: 制御線、25: ハードウェアモジュール、26: マイクロプロセッサ、27, 28, 29, 30: 記憶装置、31: アドレス線、32: データ入力線、33: データ出力線、34, 35, 36: アドレス線、37: 制御信号線、A1, A2, A3: アドレス制御回路。

特許出願人 株式会社 アドバンテスト
代理人 草野 卓

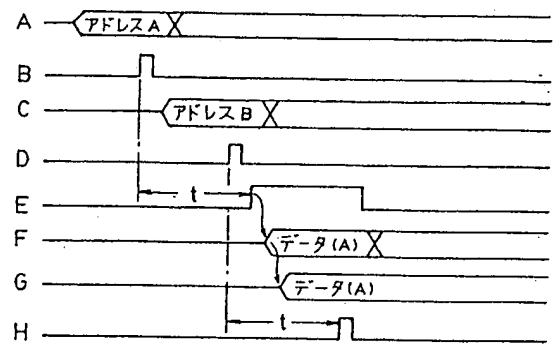
図 1



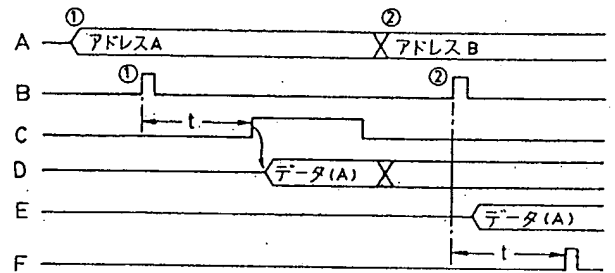
カ 2 図



カ 3 図 A



カ 3 図 B



カ 4 図

